NetFPGA: Introducción y Arquitectura

Manuel F. Jaimes

Abril 10 de 2014

Agenda

- Que es NetFPGA
- NetFPGA v1
- NetFPGA 1G
  - Especificaciones
  - Detalles del *pipeline*
  - *Pipeline* de referencia
  - Flujo de diseño
- Qué sigue

NetFPGA

Agenda

- **Que es NetFPGA**
- NetFPGA v1
- NetFPGA 1G
  - Especificaciones
  - Detalles del *pipeline*
  - *Pipeline* de referencia
  - Flujo de diseño
- Qué sigue

Qué es NetFPGA

Plataforma abierta de bajo costo, diseñada principalmente como una herramienta para la enseñanza de hardware de red

Plataforma de desarrollo que permite a los estudiantes y equipos de investigación, construir, diseñar y prototipar hardware de redes de alto rendimiento usando FPGA's

=

- Network Interface Card
- Hardware Accelerated Linux Router
- IPv4 Reference Router
- Traffic Generator
- Openflow Switch
- More Projects
- Add Your Project

NetFPGA

Agenda

- Que es NetFPGA
- **NetFPGA v1**
- NetFPGA 1G
  - Especificaciones
  - Detalles del *pipeline*
  - *Pipeline* de referencia
  - Flujo de diseño
- Qué sigue

NetFPGA v1

Su desarrollo inicio en el año 2001 y el primer prototipo funcional fue usado en una clase de posgrado en la universidad de Stanford en 2003.

Características:

- 6 inches x 9 inches ≈ 15cm x 23 cm
- 3 x Altera EP20K400 APEX
- Eight-port Ethernet controller
- 3 x 1MByte SRAMs
- Ancillary logic.

Limitaciones:

1. **Board**
2. **Carencia de velocidad**
3. **Falta de una CPU interna**
4. **Herramientas CAD**

Herramientas

- Synopsys tolos
- Altera Quartus tool

NetFPGA

Agenda

- Que es NetFPGA
- NetFPGA v1
- **NetFPGA 1G**
  - Especificaciones
  - Detalles del *pipeline*
  - *Pipeline* de referencia
  - Flujo de diseño
- Qué sigue

NetFPGA 1G

Su desarrollo inicio en verano de 2004 y en Septiembre de 2005 aparece el primer prototipo de 1G. La NetFPGA de 1G consiste en:

- Tarjeta PCI
- FPGA Xilinx Virtex-II Pro
- 4 x interfaces Gigabit Ethernet
- Repositorio de código.

Objetivos

- Estudiantes aprenden a construir sistemas de redes sólo a través de software.
- La relación con la capa física y capa de enlace es limitada a la teoría.
- Crear diseños reutilizables.

NetFPGA

Agenda

- Que es NetFPGA
- NetFPGA v1
- NetFPGA 1G
  - **Especificaciones**
  - Detalles del *pipeline*
  - *Pipeline* de referencia
  - Flujo de diseño
- Qué sigue

NetFPGA 1G – Especificaciones

- FPGA Xilinx Virtex-II Pro 50
- Double-Date Rate Random Access Memory (DDR2 DRAM) – *Packet buffering*
- 4.5 MB Static Random Access Memory (SRAM) – *Forwarding table*
- FPGA Spartan 2
- JTAG
- Interfaces estándar Gigabit Ethernet.
- Procesamiento a velocidad de enlace en todos los puertos en todo momento.
- 2 conectores SATA-style Multi-Gigabit I/O (MGIO)
- Dimensiones: 10 inches x 4 inches ≈ 25cm x 10cm

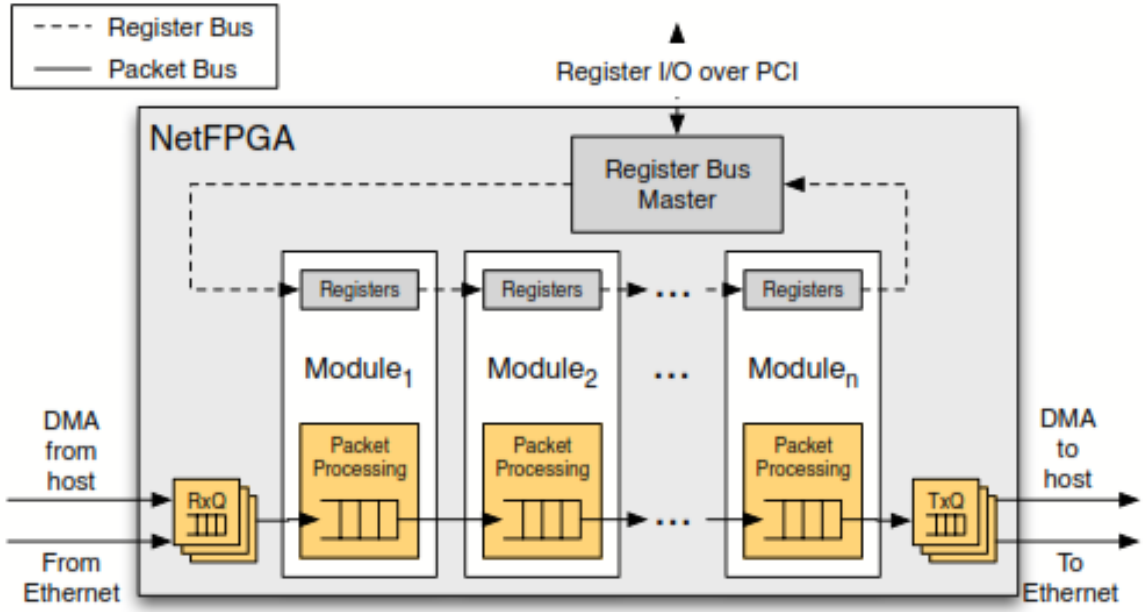
NetFPGA

Agenda

- Que es NetFPGA
- NetFPGA v1
- NetFPGA 1G
  - Especificaciones
  - **Detalles del *pipeline***
  - *Pipeline* de referencia
  - Flujo de diseño
- Qué sigue

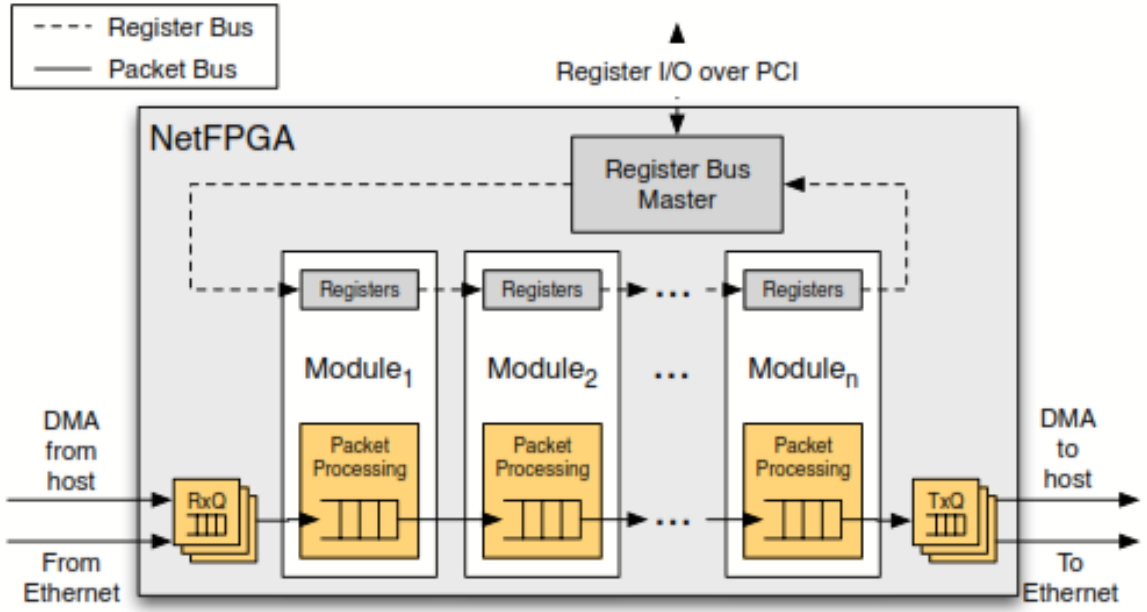
NetFPGA 1G – Detalles del pipeline

- Los módulos de la NetFPGA están conectados como una secuencia de estados dentro del *pipeline*
  - Los estados se comunican usando una interfaz FIFO
    - Estado *i+1* le dice al estado i que tiene espacio para un paquete
    - Estado i escribe un paquete en *i+1*
    - Estado i puede anteponer cualquier información que quiera transmitir en el comienzo del paquete



NetFPGA 1G – Detalles del pipeline

- **Packet bus:** Transfiere paquetes de una etapa a la siguiente usando una interfaz FIFO.
  - ctrl bus
  - data bus
  - write signal
  - ready signal
- **Register bus:** The register bus strings together register modules in each stage in a pipelined daisy-chain that is looped back in a ring.

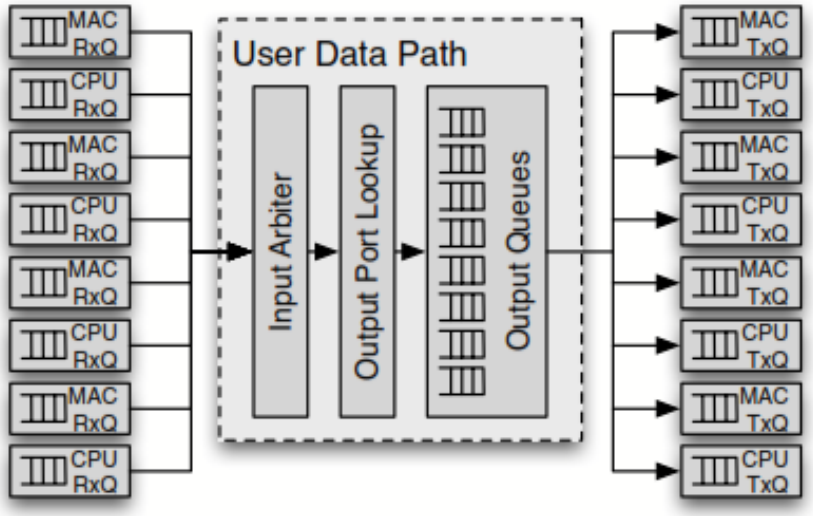


Agenda

- Que es NetFPGA
- NetFPGA v1
- NetFPGA 1G
  - Especificaciones
  - Detalles del *pipeline*
  - ***Pipeline* de referencia**
  - Flujo de diseño
- Qué sigue

NetFPGA 1G – Pipeline de referencia

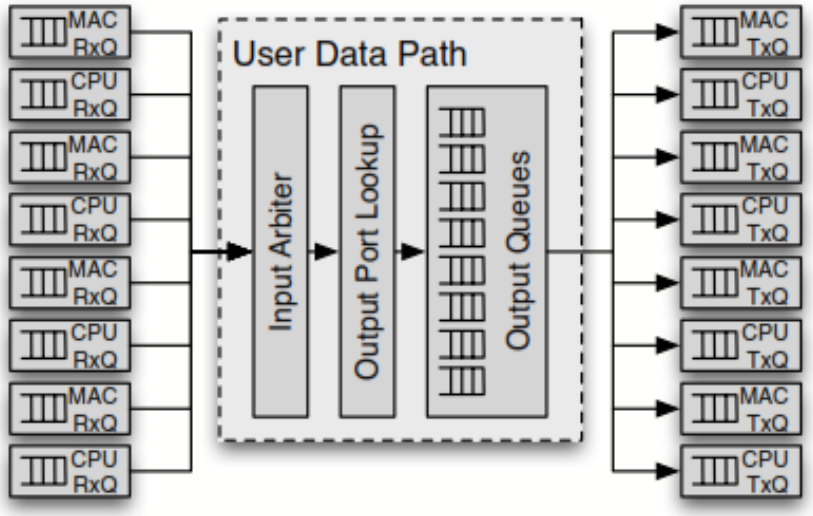
1. **Rx Queues:**
   - Recibe los paquetes de los puertos de E/S de la tarjeta.
   - Adjunta un *module header* indicando: Longitud del paquete y puerto de ingreso.
   - Interfaz unificada para el resto del sistema.
2. **Input Arbiter:**
   - Selecciona a cuales de las *Rx Queues* atiende *(Round-robin)*



NetFPGA

NetFPGA 1G – Pipeline de referencia

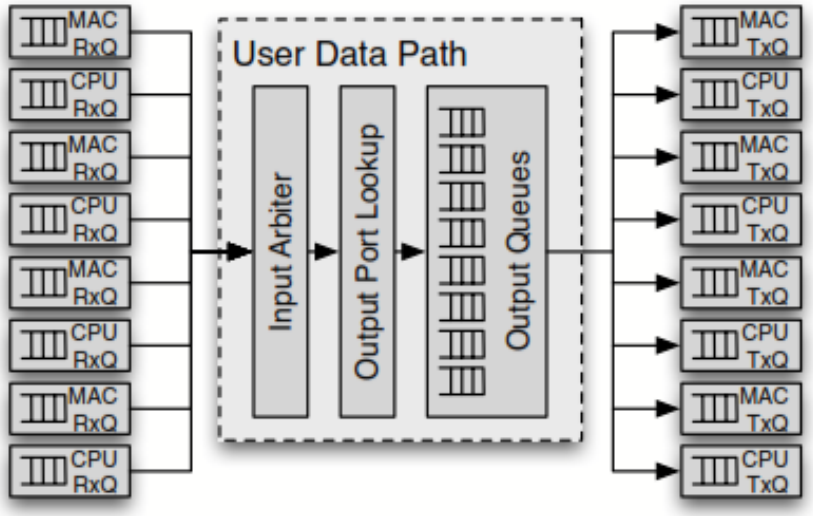
3. **Output Port Lookup:**
   - Selecciona en cual cola de salida *(Output queue)* debe ser puesto el paquete y si es necesario modificarlo.
     - Decrementa el TTL
     - *Check* y *update* del IP *checksum*
     - Modifica el *module header* inicial para indicar el puerto de salida
4. **Outputs Queues:**
   - Pone el paquete en uno de los 8 buffers de salida (4 CPU y 4 Ethernet) usando la información del *module header.*



NetFPGA 1G – Pipeline de referencia

5. **Tx Queues:**
   - Análogas a las *Rx Queues*
   - Quita los *module headers.*
   - Pone el paquete en el puerto de salida

En el diseño de este pipeline cada estado es un modulo separado.

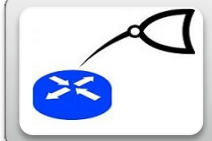


NetFPGA

Agenda

- Que es NetFPGA
- NetFPGA v1
- NetFPGA 1G
  - Especificaciones
  - Detalles del *pipeline*
  - *Pipeline* de referencia
  - **Flujo de diseño**
- Qué sigue

NetFPGA 1G – Flujo de diseño



Definir la metodología

- Implementar un diseño existente
- Modificar un diseño
- Crear un nuevo diseño

Desarrollo de la metodología

ModelSim

Simulación

XILINX

Síntesis

Descarga del *bitfile*

python™

Verilog HDL

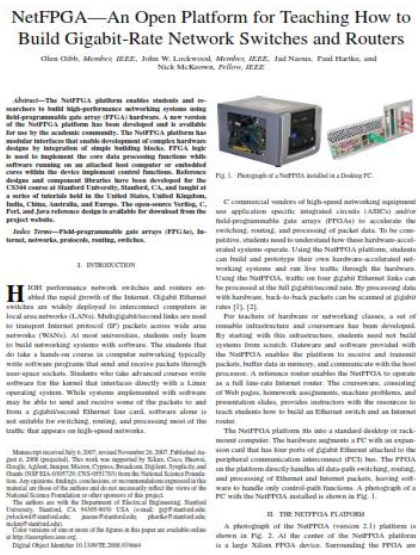
NetFPGA

Agenda

- Que es NetFPGA
- NetFPGA v1
- NetFPGA 1G
  - Especificaciones
  - Detalles del *pipeline*
  - *Pipeline* de referencia
  - Flujo de diseño
- **Qué sigue**

Que sigue…

NetFPGA: Reusable Router Architecture for Experimental Research

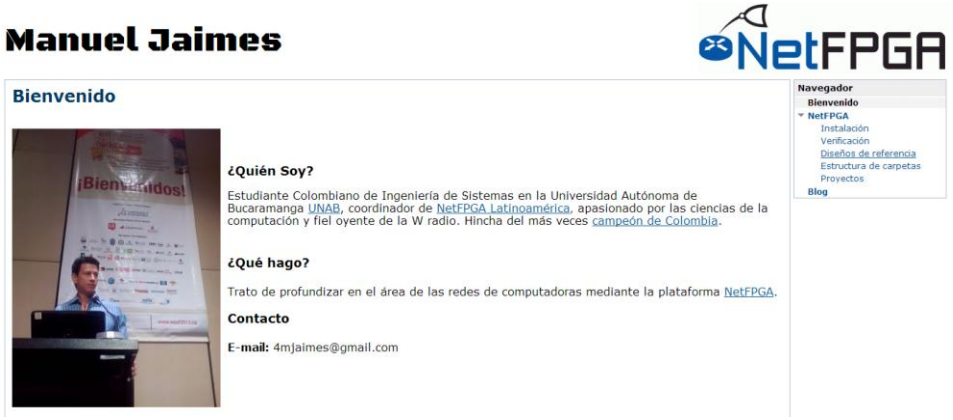


NetFPGA—An Open Platform for Teaching How to Build Gigabit-Rate Network Switches and Routers

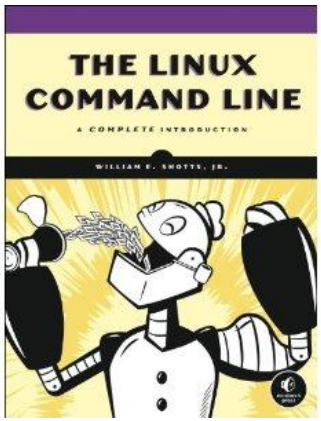
NetFPGA: A Tool for Network Research and Education

Que sigue…

Website: www.netfpga.org



Website: https://sites.google.com/site/4mjaimes/



Website: http://linuxcommand.org/

NetFPGA

Gracias

Manuel F. Jaimes

Contacto: mjaimes60@unab.edu.co

Abril 10 de 2014