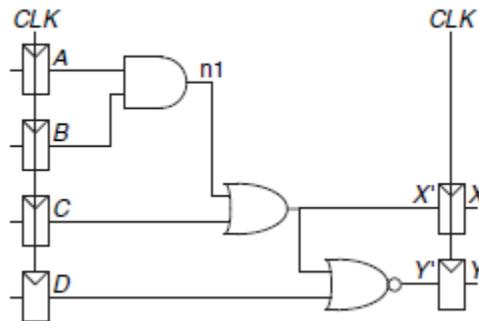
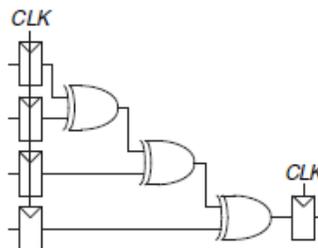


**Práctica #4**

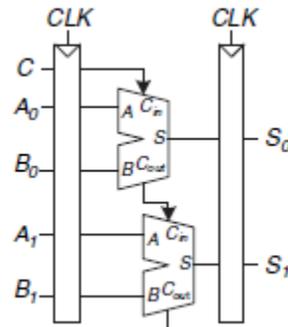
- 1) Ben Bitdiddle ha diseñado el circuito de la figura abajo, de acuerdo con las hojas de datos de los componentes utilizados, los flip-flops tienen un retardo de contaminación clock-to-Q de 30 ps y un retardo de propagación de 80 ps. Tienen un tiempo de preparación de 50 ps y un tiempo de retención de 60 ps. Cada puerta lógica tiene un retardo de propagación de 40 ps y un retardo de contaminación de 25 ps. Ayuda a Ben a determinar la frecuencia de reloj máxima y posibilidad de que haya cualquier violación al tiempo de retención.



- 2) Ben Bitdiddle ha diseñado también este circuito para calcular una función XOR de cuatro entradas. Cada puerta XOR de dos entradas tiene un retardo de propagación de 100 ps y un retardo de contaminación de 55 ps. Cada flip-flop tiene un tiempo de preparación de 60 ps, un tiempo de espera de 20 ps, un retardo máximo clock-to-Q de 70 ps, y un retardo mínimo clock-to-Q de 50 ps.
- Si no hay desplazamiento de reloj, ¿cuál es la frecuencia máxima del circuito?
  - ¿Cuánto sesgo del reloj tolera el circuito si funciona a 2GHz?
  - Alyssa P. Hacker señala que ella puede rediseñar la lógica combinatoria entre los registros para ser más rápido y tolerar más el sesgo del reloj. Su circuito también utiliza tres XOR de dos entradas, pero se disponen de manera diferente. ¿Cuál es su circuito? ¿Cuál es su frecuencia máxima si no hay desviación de reloj?



- 3) Usted está diseñando un sumador para el procesador de 2 bits RePentium. El sumador se construye a partir de dos sumadores completos de tal manera que el acarreo de la primera suma es el acarreo en la segunda, como se muestra en la figura. Tu sumador tiene registros de entrada y de salida, y se debe completar la suma en un ciclo de reloj. Cada sumador completo tiene los siguientes retardos de propagación: 20 ps de  $C_{in}$  a  $C_{out}$  o a Suma ( $S$ ), 25 ps de  $A$  o  $B$  a  $C_{out}$ , y 30 ps de  $A$  o  $B$  a  $S$ . El sumador tiene un retardo de contaminación de 15 ps de  $C_{in}$  a cualquier salida y 22 ps de  $A$  o  $B$  para cualquier otra salida. Cada flip-flop tiene un tiempo de preparación de 30 ps, un tiempo de espera de 10 ps, un retardo de propagación clock-to-Q de 35 ps, y un retardo de contaminación clock-to-Q de 21 ps.
- Si no hay sesgo de reloj, ¿Cuál es la frecuencia máxima de funcionamiento del circuito?
  - ¿Cuánto sesgo del reloj tolera el circuito si funciona a 8GHz?
  - ¿Cuánto sesgo del reloj tolera el circuito antes de violación al tiempo de retención?



- Realice un registro de 4 bits con flip-flops  $D$ .
- Realice un registro de 4 bits con flip-flops  $D$  y que permita la carga paralela.
- Realice un registro de desplazamiento de 4 bits.
- Realice un registro de desplazamiento con carga en paralelo con flip-flops  $D$ , con salidas  $Q$  y donde la siguiente es la tabla de funcionamiento.

Desplazamiento	Carga	Operación
0	0	No cambia
0	1	Carga paralela de datos
1	x	Desplaza de $Q_0$ a $Q_3$

- El contenido de un registro de cuatro bits es inicialmente 1101. El registro se desplaza seis veces a la derecha, siendo la entrada en serie 101101. ¿Qué contiene el registro después de cada desplazamiento?

- 9) ¿Qué diferencia hay entre transferencia en serie y en paralelo? Explique cómo convertir datos en serie a paralelo y datos en paralelo a datos en serie. ¿Qué tipo de registro se necesita?
- 10) ¿Qué es un registro de desplazamiento universal? Realice uno de 4 bits.
- 11) Realice un sumador en serie.
- 12) Diseñe un contador asincrónico de cuatro bits con flip-flops *D*.
- 13) Diseñe un contador binario sincrónico de cuatro bits con flip-flops *D*.
- 14) Diseñe un contador binario de cuatro bits con carga en paralelo.
- 15) Diseñe un contador binario de rizo de cuatro bits con flip-flops *D*.
- 16) Un sistema digital tiene un generador de reloj que produce pulsos con una frecuencia de 80 MHz. Diseñe un circuito que genere un reloj con un tiempo de ciclo de 50 ns.
- 17) Diseñe un contador que siga esta sucesión binaria repetida: 0, 1, 2, 4, 6. Use flip-flops *D*.
- 18) Diseñe un contador de 32 bits que suma 4 en cada flanco de reloj. El contador y las entradas de reloj se pueden restablecer y al reinicio, la salida del contador es 0.